

I. INTRODUCTION



Le bus I2C (Inter Integrated Circuit Bus) est le bus historique, devenu standard, développé par Philips dans les années 80, pour permettre de relier facilement à un microprocesseur divers circuits intégrés (spécialisés dans le stockage et l'affichage de données, dans l'exécution de fonction numériques ou analogiques diverses), en particulier dans un téléviseur.

Il existe d'innombrables périphériques exploitant ce bus, dans les appareils TV et vidéo (récepteur télécommande, réglages ampli BF, tuner, horloge ...), mais aussi dans les systèmes audio et radio, postes téléphoniques, systèmes électroniques automobiles, PC, appareils électroménagers, etc.

II. CARACTERISTIQUES GENERALES

Le bus I2C permet de faire communiquer, par une liaison série synchrone, entre eux des composants électroniques très divers grâce à seulement trois fils :

- un signal de donnée (SDA),
- un signal d'horloge (SCL),
- un signal de référence électrique (Masse).

D'autre part, ce bus est multi-maître (plusieurs circuits peuvent prendre le contrôle du bus)

- longueur 3 à 4 mètres à condition que la charge capacitive n'excède pas 400 pF.
- vitesse de transfert de 100 à 400 kbits/seconde, voire 3,4Mbits/s en mode HV,
- adressage des circuits de 7 ou 10 bits.

De nombreux fabricants ayant adopté le système, la variété des circuits disponibles disposant d'un port I2C est énorme : Ports d'E/S bidirectionnels, Convertisseurs A/N et N/A, mémoires (RAM, EPROM, EEPROM, etc...), Circuits Audio (Égaliseur, Contrôle de volume, ...) et autre drivers (LED , LCD , ...).

III. FONCTIONNEMENT DU BUS I2C

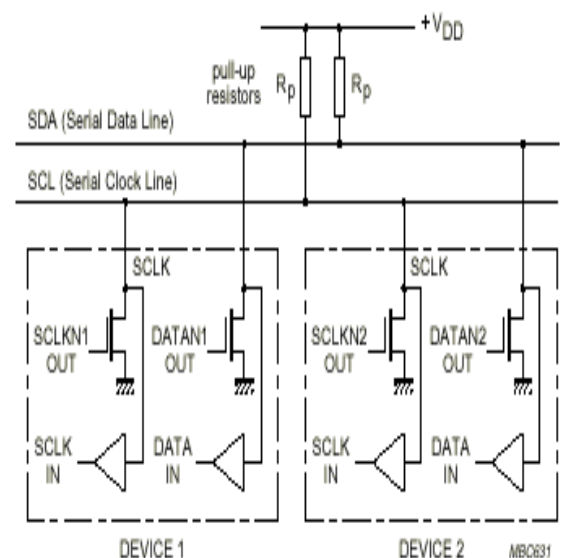
III. 1. Caractéristiques électriques

Afin de d'éviter les conflits électriques les Entrées/Sorties, SDA et SCL sont de type "Collecteur Ouvert" (ou "Drain Ouvert").

Les sorties étant à collecteur (ou drain) ouvert la tension de sortie à l'état haut est la tension « ramené » par les résistances de rappel (qui sont connectées à la ligne d'alimentation des circuits « VDD »).

Cela permet ainsi la présence de plusieurs maîtres sur le bus.

Cela permet aussi la communication entre dispositifs réalisés dans des technologies différentes et utilisant éventuellement des tensions d'alimentation différentes.



III. 2. Terminologie

Émetteur : Unité qui envoie les données sur le bus.

Récepteur : Unité qui reçoit les données du bus.

Maître : Unité qui démarre un transfert, génère des signaux d'horloge et met fin au transfert.

Esclave : Unité adressée par le maître.

Multi-maître : Possibilité pour plusieurs maîtres de tenter de prendre le contrôle du bus en même temps, sans altérer le message.

Arbitrage : Procédure permettant de résoudre les conflits d'accès des maîtres au bus et d'éviter l'altération du message. Le contrôle du bus n'est accordé qu'à un maître à la fois.

SDA : Ligne des signaux de données.

SCL : Ligne des signaux d'horloge.

III. 3. Protocole de transmission .

Le protocole de communication doit prendre en compte les règles suivantes :

- une distinction entre les circuits maîtres (ceux qui décident du dialogue) et les circuits esclaves,
- une identification des circuits,
- un acquittement des transferts (confirmation par les circuits de la bonne réception des informations qui leur ont été transmises),
- un système de priorité en cas de conflit.

Dans les applications courantes les modes les plus utilisés sont les suivants :

a) Au repos (en l'absence de transmission)

Les lignes SDA et SCL sont au niveau haut

b) Le maître veut lire une information contenue dans un circuit esclave .

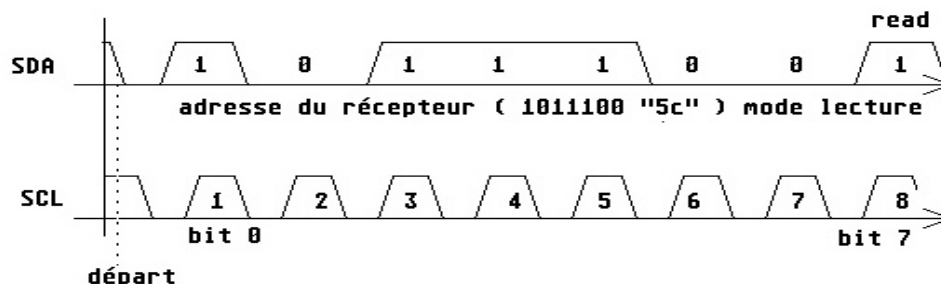
Le déroulement de la séquence va être :

« 1 » Condition de départ (Start).

Un front descendant est appliqué sur la ligne SDA quand SCL est encore au niveau haut :

« 2 » Transmission de l'adresse (premier octet) .

A chaque niveau haut de SCL correspond un bit de donnée sur SDA (en commençant par les bits de poids fort). Ce premier octet contient l'adresse du circuit désiré (sur 7 bits ce qui autorise 128 possibilités) puis l'information de sens de transfert (0 = lecture, 1 = écriture) .



« 3 » Acquittement (ACK).

Après chaque octet reçu, le récepteur doit générer un signal d'acquiescement. Pour cela, durant le niveau haut de SCL qui suit la transmission de l'octet, le récepteur (l'esclave dans ce cas) met la ligne SDA au niveau bas.

« 4 » Transmission du deuxième octet (lecture) .

Durant chaque niveau haut sur SCL, l'esclave (ici émetteur) envoie un des 8 bits de la donnée (en commençant toujours par le bit de poids fort).

Après une bonne réception, c'est le circuit maître qui doit générer le signal d'acquiescement en maintenant la ligne SDA au niveau bas durant le niveau haut de SCL.

Dans le cas où le récepteur n'est pas en mesure de recevoir les données, il doit mettre la ligne SCL au niveau bas pour mettre l'émetteur en attente.

« 5 » Condition d'arrêt (Stop).

Un front montant est appliqué sur la ligne SDA quand SCL est au niveau haut.

c) Le maître veut écrire une information dans un circuit esclave.

Les étapes 1, 2, 3 et 5 sont identiques au cas précédent. Au niveau de l'étape 4 c'est le maître qui va émettre de la même façon qu'il transmet les adresses, et c'est l'esclave qui acquiesce la réception.

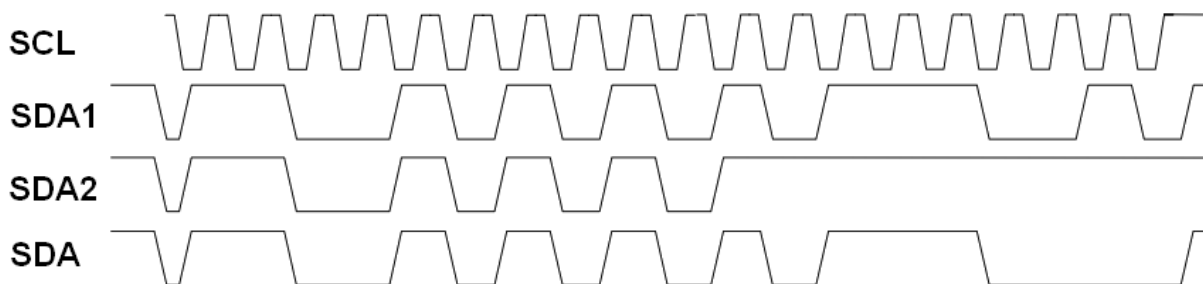
d) Le mode multi-maître .

L'horloge (SCL) résultant de ce mode, est le produit des différentes horloges générées par l'ensemble des maîtres. C'est ainsi qu'est générée l'horloge SCL synchronisée, dont la durée du niveau bas est déterminée par le dispositif ayant la période d'horloge au niveau bas la plus longue, et le niveau haut par le dispositif ayant la période d'horloge au niveau haut la plus courte.

En cas de conflit le maître prioritaire est celui qui envoie un niveau bas sur la ligne SDA.

Le maître qui tente d'envoyer un niveau haut sur SDA, et qui cependant ne peut y lire qu'un niveau bas, arrête son transfert et passe en mode récepteur esclave.

Ex : Un maître (1) veut générer SDA1, et un autre (2) veut générer SDA2, la résultante est SDA.



Compléter avec 1 ou 2 :

Le maître ... perd l'arbitrage et passe en mode esclave, tandis que le maître ... reste maître.

IV. CONCLUSION

De part sa conception, ce système permet donc un dialogue extrêmement souple (mode multi-maître) et des réalisations très modulaires (seulement deux fils à connecter). Ce type de connexion présente aussi un avantage économique (réduction du prix des boîtiers et de la connectique associée). De plus, au niveau des études, il est facile de réutiliser des modules ou des sous-programmes déjà fabriqués.